

AL

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

6111042

Basic Patent (No,Kind,Date): JP 62143095 A2 870626 <No. of Patents: 001>

DRIVER BUILT-IN ACTIVE MATRIX PANEL (English)

Patent Assignee: SEIKO EPSON CORP

Author (Inventor): SATO TAKASHI; MISAWA TOSHIYUKI; MATSUEDA YOJIRO

IPC: \*G09G-003/20; G02F-001/133

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 62143095	A2	870626	JP 85283776	A	851217 (BASIC)

Priority Data (No,Kind,Date):

JP 85283776 A 851217

Concise of Statement - Japanese Laid-Open 62-143095

Publication Date: June 26, 1987

1. Title of the Invention:

ACTIVE MATRIX PANEL WITH A DRIVER

2. Claim

1. In an active matrix panel with a driver, a source line driver comprises: an analog switch including a thin film transistor; a line memory including a condenser; an analog buffer formed of a source follower including a thin film transistor; and means for activating the source follower at set periods and deactivating it at non-set periods.

2. As a means for activating the source follower at set periods and deactivating it at non-set periods, the active matrix panel with the driver according to claim 1 comprises the thin film transistor for the switch that switches two-type voltage applied to a gate of a load current source of the thin film transistor for the source follower.

3. As a means for activating the source follower at set periods and deactivating it at non-set periods, the active matrix panel with the driver according to claim 1 comprises a pull-up resistor and the thin film transistor for the switch that switch two-type voltage applied to a gate of a load current source of the thin film transistor for the source follower.

4. As a means for activating the source follower at set periods and deactivating it at non-set periods, the active matrix panel with the driver according to claim 1 comprises the switch including the thin film transistor in series with the thin film transistor for the source follower and a load current source.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-143095

⑪ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)6月26日

G 09 G 3/20  
G 02 F 1/133

3 3 2

D-7436-5C  
7348-2H

審査請求 未請求 発明の数 1 (全8頁)

⑭ 発明の名称 ドライバー内蔵アクティブマトリクスパネル

⑮ 特 願 昭60-283776

⑯ 出 願 昭60(1985)12月17日

⑰ 発 明 者 佐 藤 尚 諏訪市大和3丁目3番5号 セイコーエプソン株式会社内  
⑱ 発 明 者 三 澤 利 之 諏訪市大和3丁目3番5号 セイコーエプソン株式会社内  
⑲ 発 明 者 松 枝 洋 二 郎 諏訪市大和3丁目3番5号 セイコーエプソン株式会社内  
⑳ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号  
会社  
㉑ 代 理 人 弁理士 最 上 務 外1名

明 細 書

1 発明の名称

ドライバー内蔵アクティブマトリクスパネル

2 特許請求の範囲

(1) ドライバー内蔵アクティブマトリクスパネルにおいて、ソース線ドライバーは、薄膜トランジスタによるアナログスイッチ及びコンデンサより成るラインメモリと、薄膜トランジスタによるソースホロワで形成されたアナログバッファを具備しており、前記ソースホロワを所定の期間活性とし、それ以外の期間非活性とする手段を具備して成ることを特徴とするドライバー内蔵アクティブマトリクスパネル。

(2) 前記ソースホロワを所定の期間活性とし、それ以外の期間非活性とする手段として、ソースホロワ用薄膜トランジスタの負荷電流源のゲートに、印加される2種類の電圧を切り変えるスイッチ用の薄膜トランジスタを具備した特許請求の範囲第

1項記載のドライバー内蔵アクティブマトリクスパネル。

(3) 前記ソースホロワを所定の期間活性とし、それ以外の期間非活性とする手段として、ソースホロワ用薄膜トランジスタの負荷電流源のゲートに、印加される2種類の電圧を切り変えるプルアップ抵抗と、スイッチ用の薄膜トランジスタを具備した特許請求の範囲第1項記載のドライバー内蔵アクティブマトリクスパネル。

(4) 前記ソースホロワを所定の期間活性とし、それ以外の期間非活性とする手段として、ソースホロワ用薄膜トランジスタと負荷電流源とに直列に薄膜トランジスタからなるスイッチを具備した特許請求の範囲第1項記載のドライバー内蔵アクティブマトリクスパネル。

3 発明の詳細な説明

[産業上の利用分野]

本発明は、ソース線ドライバーに薄膜トランジスタによるアナログスイッチ及びコンデンサより

成るラインメモリと、薄膜トランジスタによるソースホロワで形成されたアナログバッファを具備したドライバー内蔵アクティブマトリクスパネルに関するもので、壁かけテレビ、携帯型表示装置などに利用される。

#### 〔発明の概要〕

本発明は、ソース線ドライバーに薄膜トランジスタによるアナログスイッチ及びコンデンサより成るラインメモリと、薄膜トランジスタによるソースホロワで形成されたアナログバッファを具備したドライバー内蔵アクティブマトリクスパネルにおいて、前記ソースホロワを所定の期間活性とし、それ以外の期間非活性とする手段を具備することにより、消費電力を低減させたものである。

#### 〔従来の技術〕

薄膜トランジスタ（以下、TFTと略記する。）を用いて絶縁基板上に構成されたアクティブマトリクスパネルにドライバーを内蔵したものとしては、第9図に示す、点順次駆動方式によるものが知られていた。（文献；S. Morosumiet al.

生じる。

このような問題点を解決するため、画面の一行毎の画像信号を各ソース線に具備されたラインメモリに蓄え、点順次駆動方式のそれよりも十分長い時間をかけて、一行毎の画像信号を一度に書き込むため、画面の画素数が増加しても、各画素に十分画像信号が書き込むことのできる線順次駆動方式を採用しなくてはならない。

また、前記線順次駆動方式では、アナログメモリに蓄えた画像信号を各画素に書き込む際、TFTより構成されたソースホロワから成るアナログバッファを介して書き込まなければならない。しかし、前記薄膜トランジスタにより構成されたソースホロワから成るアナログバッファは、構造上の理由で、常に薄膜トランジスタに電流を流し続けなくてはならないため、消費電力が大きいという問題、特に携帯型表示装置においては、電池やバッテリーの寿命が短くなるという問題点を有していた。

そこで、本発明は従来のこのような問題点を解

S I D ' 8 4 D I O E S T , P 3 1 6 , 1 9 8 4 ) 第10図において、画素TFT301、画素容量302であり、走査線数210本、ソース線数180本である。

#### 〔発明が解決しようとする問題点及び目的〕

しかし、従来の点順次駆動方式で動画を表示する際には、一画面を駆動して書き込む時間は16ms以上とすることができないため、次のような問題点を生じる。まず、画素数の増加した高精細のドライバー内蔵アクティブマトリクスパネルにおいては、一画素に画像信号を書き込む時間が画素数に反比例して減少するために、高精細のドライバー内蔵アクティブマトリクスパネルの画素数の増加と共に、ソース線、画素への書き込み時間が十分とれなくなり、コントラストが低下し、表示品質が低下する。あるいは、大画面のドライバー内蔵アクティブマトリクスパネルにおいては、画面の大面积化と共に、書き込み容量が増加するので、従来の駆動能力では十分な書き込みができなくなり、コントラストの低下、表示品質の低下を

決するもので、目的とするところは、消費電力の少ない線順次駆動方式によるドライバー内蔵アクティブマトリクスパネルを提供することである。

#### 〔問題点を解決するための手段〕

上記問題点を解決するために、本発明のドライバー内蔵アクティブマトリクスパネルは、ソース線ドライバーに薄膜トランジスタによるアナログスイッチ及びコンデンサより成るラインメモリと、薄膜トランジスタによるソースホロワで形成されたアナログバッファを具備しており、前記ソースホロワを所定の期間活性とし、それ以外の期間非活性とする手段を具備して成ることを特徴とする。

#### 〔作用〕

上記のように構成されたドライバー内蔵アクティブマトリクスパネルのソースホロワに電流が流れるのは、前記ソースホロワが活性を選択された期間だけであり、非活性を選択された期間は電流が流れない。このように電流を流す時間を減らすことにより、全体の消費電力を減らすことができ

## 〔実施例〕

以下に本発明の実施例を、図面にもとづいて説明する。第1の実施例を第1図に示す。

第1図において、ドライバー内蔵アクティブマトリクスパネルは画素アレイ41、ソース線ドライバーであるXドライバー、Yドライバーより成る。画素アレイは走査線42～45、ソース線46～49、スイッチング用TFT35及び画素キャパシタ56によって構成され、Xドライバーは、単極性MOSTFET又は相補型MOSTFETによって成るシフトレジスタ21、サンプルホルダー23, 24, 25, 26、ダイナミック型ラインメモリ27, 28, 29, 30、アナログスイッチ31, 32, 33, 34及び所定の期間活性とし、それ以外の期間非活性とする手段を具備したアナログバッファ50, 51, 52, 53によって構成され、Yドライバーは、単極性MOSTFET又は相補型MOSTFETによって構成されている。ダイナミック型ラインメモリは、ゲート酸化膜又は層間絶縁膜を利用して形成されたキャパシ

タ75, 77, 78は薄膜抵抗又はMOS抵抗である。

次に、第1図、第2図、第3図を用いて、実施例の動作を説明する。第1図の端子VSには、第3図に示すビデオ信号80が、端子XSPにはスタートパルス83が印加される。このとき、Xシフトレジスタ21の各出力端子37～40にはサンプリングパルス84, 85が出力され、サンプルホルダー23～26を介して、ラインメモリ27～30に画素データを書き込む。このようにして、一行分のラインメモリに画素データを書き込んでいる間は、第2図(a), (b), (c), (d)に示すアナログバッファに電流は流れない。それは、第2図(a)においては、P型TFT56が導通、n型TFT57は非導通の状態にあるので定電流源P型TFT55が非活性であるため、第2図(b)においては、n型TFT62が非導通であるので定電流源P型TFT61が非活性であるため、第2図(c)においては、P型TFT68が導通、n型TFT69が非導通であるのでP型TFT67が非導通と

なり、サンプルホルダー23～26及びアナログスイッチ31～34は、単極性MOSTFET又は相補型MOSTFETによって構成された伝送ゲートである。アナログバッファ50, 51, 52, 53は、TFTによって構成された電圧利得が約1の電流増幅器であり、電流制御回路66, 67, 68, 69はTFTによって構成されており、それらの具体例を第2図(a), (b), (c), (d)に示す。第2図(a)においてVDD, VSS, VIN, Vout, V0はそれぞれ、正電源、負電源、入力端子、出力端子、定電流源用TFTのゲート電圧を示す。第2図(a)において、54, 55, 56はP型TFT、57はN型TFT、58, 59は薄膜抵抗又はMOS抵抗である。第2図(b)において、60, 61はP型TFT、62はn型TFT、63, 64, 65は薄膜抵抗又はMOS抵抗である。第2図(c)において、79, 66, 67, 68はP型TFT、69はn型TFT、70, 71は薄膜抵抗又はMOS抵抗である。第2図(d)において72, 73, 74はP型TFT、76はn型TFT

なり、定電流源P型TFT66が非活性となるため、第2図(d)においては、n型TFT76が非導通であるので、P型TFT74が非導通となり、定電流源P型TFT73が非活性となるからである。一水平時間(以下、1Hと略記する。)のすべての画素データがラインメモリ27～30にき込まれた後、ラッチパルス86が端子LPに印加され、画素データは一斉にアナログバッファ50～53に入力として出力される。このとき、データ線にアナログバッファから出力が行なわれるが、それは次の動作による。第2図(a)において、ラッチパルスがLP1, LP2を通じて印加されるので、P型トランジスタ57は非導通、n型トランジスタ56は導通となるので電流源P型TFT55は活性となり出力Voutが行われる。第2図(b)においては、ラッチパルスがLP3を通じてn型TFT62に印加されるので電流源P型TFT61は活性となり、電流が流れ出力Voutが行われる。第2図(c)においては、ラッチパルスがLP4, LP5を通じて印加されるので、n型TFT

T68は非導通、P型TFT69は導通となるのでP型TFT67が導通となり、電流源P型TFT66が活性となり、アナログバッファに電流が流れ、出力 $V_{out}$ が行われる。第2図(d)においては、ラッチパルスがLP6を通して、P型TFT76に印加されるので、P型TFT76は導通となるのでP型TFT74が導通となり、電流源P型TFT73が活性となりアナログバッファに電流が流れ、出力 $V_{out}$ が行われる。以上の動作で、データ線46~49に画像データが一斉に書き込まれる。一方、走査線42~45には81, 82の様な走査線選択信号が出力され、選択された走査線に付加する一行の画素に一斉に画像データが書き込まれる。以上のようにアナログバッファ50~53を一定期間非活性状態にすることにより、消費電力を減少させることができる。

第4図に本発明の第二の実施例を示す。同実施例において、Yドライバー及び画素アレイは第1図の実施例と全く同じに構成される。従って、それらには第1図と同一の記号を付ける。本実施例

いて、画素アレイ41、Yドライバー22は第1図に示す実施例と全く同様に構成される。従って、それらには第1図と同一の記号を付す。

本実施例が、第1図と異なるところは、画像データを蓄える、ゲート酸化膜又は層間絶縁膜を用いたキャパシタによって形成されるアナログメモリ247~254が1本のソース線に2本具備されていることと、各アナログメモリ247~254の入力と出力側の両側にアナログメモリ231~246が設けられていることである。

アナログバッファ55~58の構成は、第2図(a)~(d)と同じである。

第6図、第2図(a)~(d)、第7図を用いて第6図に示す実施例の動作を説明する。第1図の端子V<sub>S</sub>には、第7図にビデオ信号201が、端子X<sub>8</sub>Pにはスタートパルス205が印加される。このとき、シフトレジスタ21の各出力端子37~40にはサンプリングパルス206, 207が出力され、サンプルホルダー23~26を介してビデオ信号が出力される。このとき、アナログメモ

リが第1図に示した実施例と異なるところは、 $V_{DD} > V_{th}$ を満足する $V_{th}$ の電源ラインXV<sub>Q</sub>55がXドライバーに加えられているところである。この $V_{th}$ は電流源用P型TFTのゲートに印加されるが、第2図(a)~(d)に示す実施例においては、 $V_{DD}$ を抵抗分銅して電流源P型TFTのゲートに電圧を印加していたが、第4図に示す実施例では、外部電源から $V_{th}$ を取っているのである。具体的な実施例を第5図(a)~(d)に示す。第5図(a)~(d)の構成は第4図(a)~(d)から $V_{DD}$ 分銅用抵抗を取ったものと全く等価である。

第4図に示す実施例の動作は第1図に示す実施例と全く同様であり、XV<sub>0</sub>端子には常に $V_{th}$ が印加されており、その他の端子に印加されるパルス、ビデオ信号は第3図と全く同様である。以上のようにアナログバッファを一定期間非活性とすることにより、電流量を減らし、消費電力を低減することができる。

第6図に、各ソース線に2ラインのアナログメモリを備えた第3の実施例を示す。同実施例にお

り247~254のうちの、偶数番号のアナログメモリが選択されて画像データが書き込まれている場合は、奇数番号のアナログメモリは非選択となり、画像データは書き込まれないが、前回の一水平走査期間内に書き込まれた画像データをアナログバッファ55~58を通じて、ソース線46~49に出力している。この状態はアナログスイッチ232, 234, 236, 238, 239, 241, 243, 245はXLP1208からのパルスにより導通状態となり、アナログメモリ231, 233, 235, 237, 240, 242, 244, 246はXLP2209からのパルスにより非導通状態になることにより実現される。一水平走査期間の偶数番号のアナログメモリへの画像データの書き込みと、奇数番号のアナログメモリのソース線への書き込みが終わると、アナログスイッチ231~246はある一定期間すべて非導通状態となる。

この期間は、アナログバッファは非活性状態となっている。そして、前記一定期間が終了すると、

XLP1 208、XLP2 209パルスにより、先の水平走査期間内で、導通・非導通の状態を取っていたアナログスイッチ231～246の状態が逆転し、偶数番号のアナログメモリに蓄えられた画像データがアナログバッファ55～58を通してソース線に出力され、奇数番号のアナログメモリには、画像データが取り込まれる。上記のようにして、2つのアナログメモリを用いて、画像データの取り込みとソース線への書き込みを交互に行うのである。アナログバッファ55～58の動作状態は次のとおりである。アナログバッファ55～58の構成は第2図(a)～(d)に示す通りであり、図中のLFP1～LFP6には第7図のXLP3 210が印加される。第1図の実施例と同じ理由によりアナログバッファ55～58は活性・非活性状態を繰り返すが、非活性状態をとるのは先に記した、アナログスイッチ231～246がすべて非導通となる期間である。以上の動作で、データ線46～49に画像データが一齐に書き込まれる。一方、走査線42～45には、202

し、アナログバッファに電流を流し続けるのではなく、一定期間アナログバッファを不活性とし、全体的な電流量を低減させることにより、消費電力を削減することができる。

第9図に、ドライバー部を相補型MOSFET、画素アレイ部をPMOSFETで形成した場合のドライバー内蔵アクティブマトリクスパネルの断面構造の一例を示す。同図において、310は絶縁基板、311は第一のシリコン薄膜層、312はゲート絶縁膜層、315は透明導電膜層である。  
〔発明の効果〕

Xドライバー内のTFTによって構成されたソースホロウからなるアナログバッファに、一定の期間活性とし、それ以外の期間非活性とする手段を取り付けることによって、上記アナログバッファを流れる電流の総量を低減できるので、ドライバー内蔵アクティブマトリクスパネルの低消費電力化が実現するTFTを導通・非導通という状態を繰り返しながら用いるため、常に導通状態で使用すると、破壊が進み、信頼性が低下するという

～204のような走査線信号が出力され、選択された走査線に付加する一行の画素に一齐に画像データが書き込まれる。以上のようにアナログバッファ55～58を一定期間非活性とすることで、消費電力を減少させることができる。

第8図に本発明の第4の実施例を示す。同実施例において、Yドライバー22、画素アレイ41は第6図に示す実施例と全く同様に構成される。従ってそれらには第1図と同一の記号を付す。本実施例が、第6図と異なるところは、 $V_{DD} > V_0 > V_{SS}$ を満足する $V_0$ の電源ラインXV<sub>0</sub>がXドライバーに加えられているところである。アナログバッファ55～58の具体的な構成は第5図(a)～(d)と全く同様であるが、図中LFP7～LFP12には第7図のXLP3 210が印加される。

第8図に示す実施例の動作は第6図に示す実施例と全く同様であり、XV<sub>0</sub>端子には常に $V_0$ が印加されており、その他の端子に印加されるパルス、ビデオ信号は第7図と全く同様である。

以上のように、アナログバッファを常時活性と

TFTの本来持っている欠点を補うことができる。

#### 4. 図面の簡単な説明

第1図は、本発明の第1の実施例の構造図。

第2図(a)～(d)は、本発明の第1、第3の実施例の構造を示した回路図。

第3図は、本発明の第1及び第2の実施例の動作を説明するためのタイミング図。

第4図は、本発明の第2の実施例の構造図。

第5図(a)～(d)は、本発明の第3及び第4の実施例の構造を示した回路図。

第6図は、本発明の第3の実施例の構造図。

第7図は、本発明の第3及び第4の実施例の動作を説明するためのタイミングチャート図。

第8図は、本発明の第4の実施例の構造図。

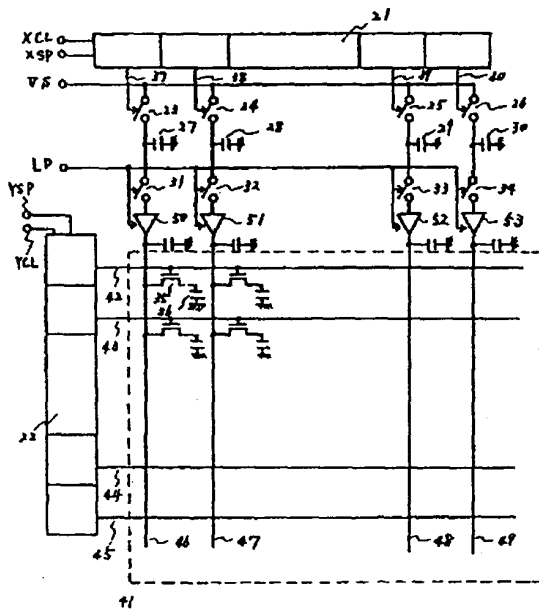
第9図は、本発明の構造を示す断面図。

第10図は、従来の平面図。

以上

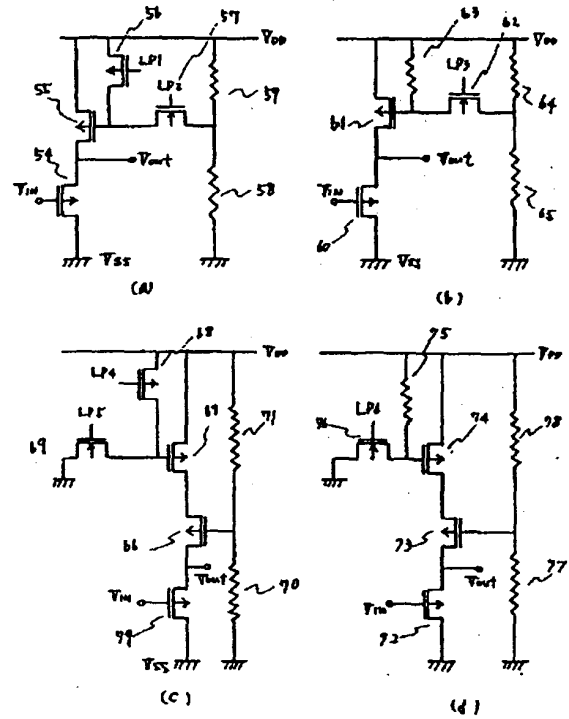
出願人 セイコーエプソン株式会社

代理人 弁理士 最上 務 他1名



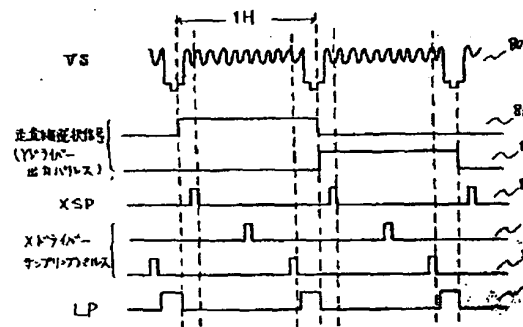
ドライバー内蔵アクティブマトリクスパネルの構成図

第1図



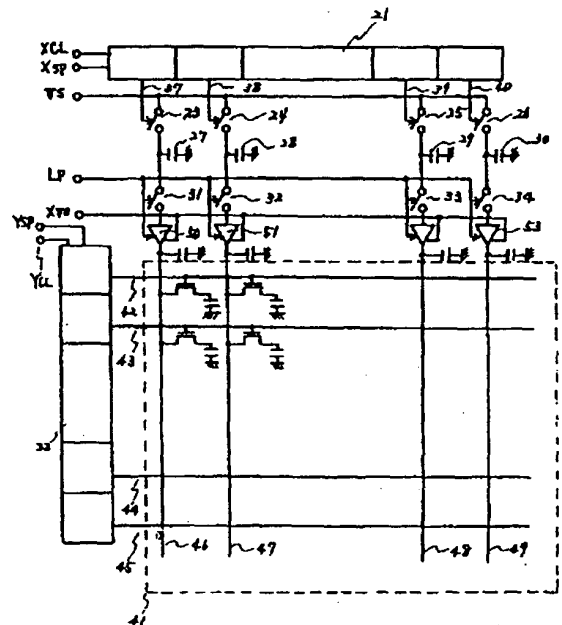
アノログバーファの回路図

第2図



ドライバー内蔵アクティブマトリクスパネルのタイミング図

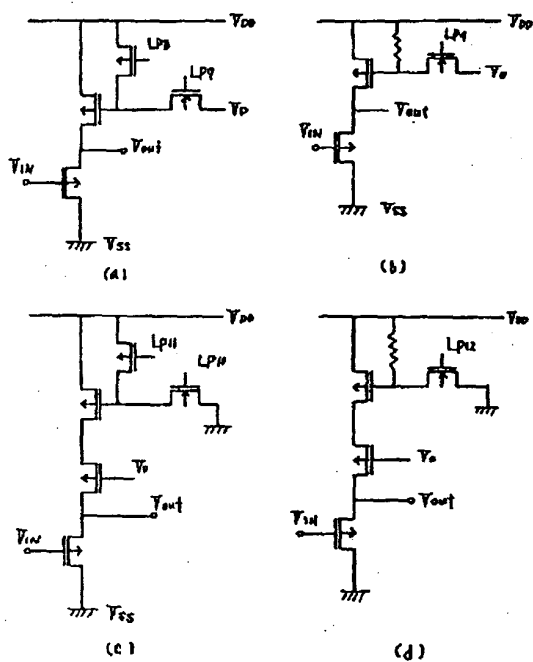
第3図



ドライバー内蔵アクティブマトリクスパネルの構成図

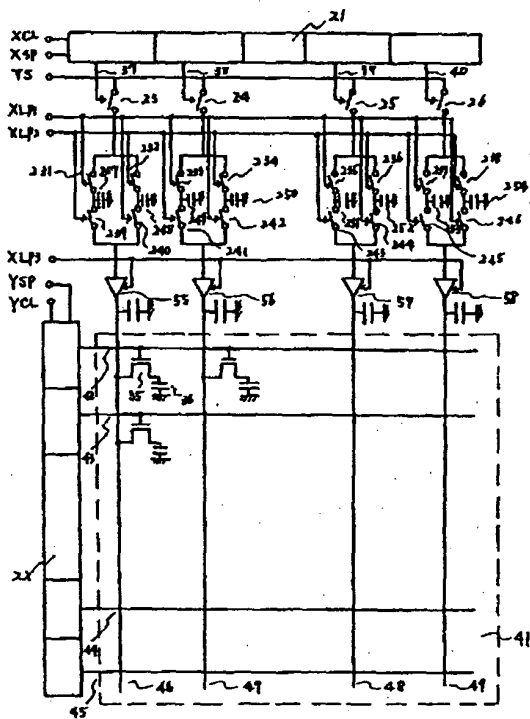
第4図





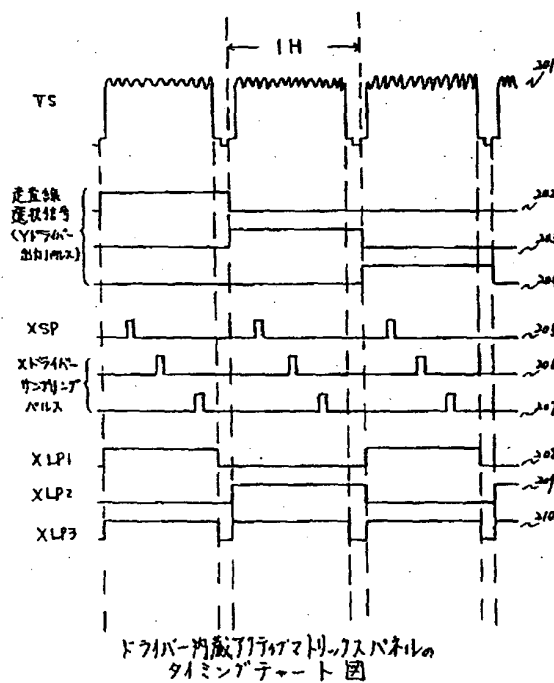
ドライバー回路図

第 5 図

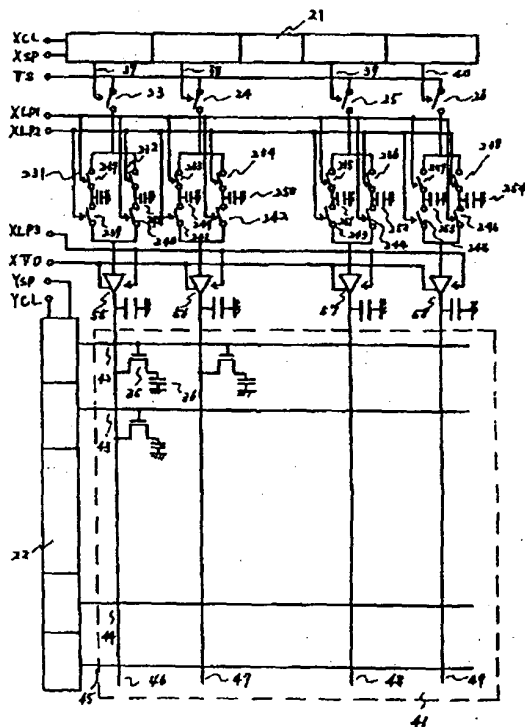


ドライバー内蔵アタママトリクスパネル構造図

第 6 図

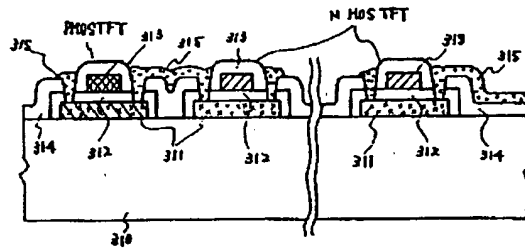


第 7 図



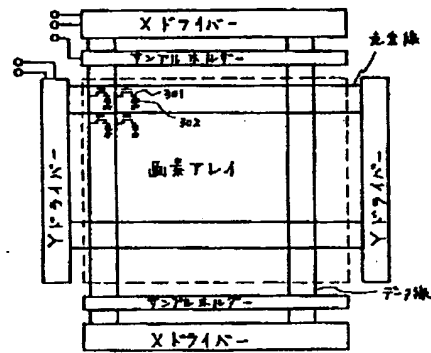
ドライバー内蔵アタママトリクスパネル構造図

第 8 図



ドライバ-内蔵アクティブマトリクスパネルの断面図

第9図



従来のドライバ-内蔵アクティブマトリクスパネルの平面図

第10図